

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-061676

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

G02B 6/42  
 G02B 6/122  
 H01L 27/15  
 H01L 31/0232  
 H01S 3/18  
 H04B 10/28  
 H04B 10/26  
 H04B 10/14  
 H04B 10/04  
 H04B 10/06

(21)Application number : 07-221433

(71)Applicant : HITACHI LTD

HITACHI CABLE LTD  
 HITACHI TOBU SEMICONDUCTOR  
 LTD

(22)Date of filing : 30.08.1995

(72)Inventor : TSUJI SHINJI  
 TAKAHASHI RYUTA  
 SHISHIKURA MASATO  
 KIKUCHI SATORU  
 AOKI SATOSHI

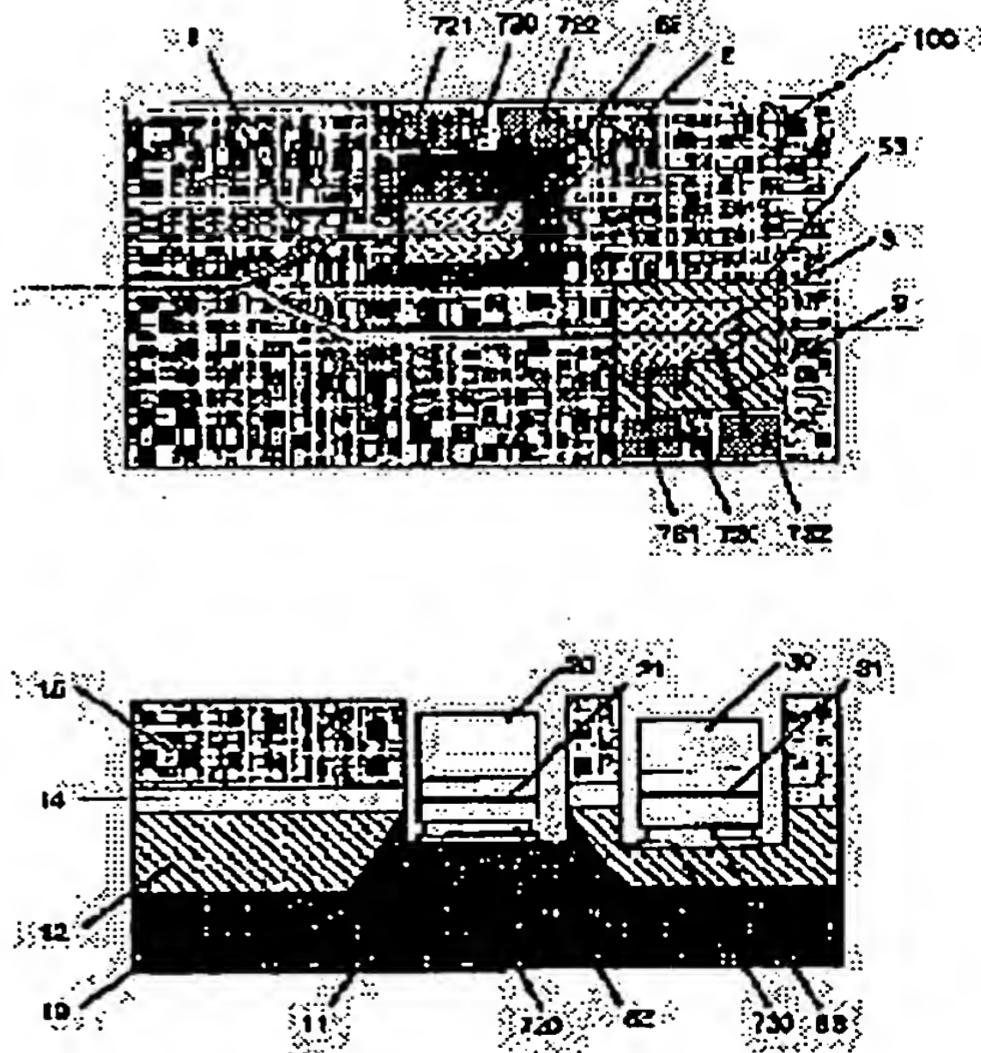
## (54) OPTICAL ASSEMBLY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an optical assembly structure constituted by mounting a semiconductor element which generates large heat and an optical element which has high impedance on the same optical waveguide substrate.

**SOLUTION:** The element 2 which generates large heat is adhered onto a projection part 11 of the semiconductor substrate 10 directly or across an insulator layer of thickness of about submicrons. The optical element 3 with high impedance, on the other hand, is put in a groove formed in a recessed part of the semiconductor substrate 10 so that its optical axis is aligned with an optical waveguide layer coupled with the element. Or the potential of the semiconductor substrate 10 is held as high as a source voltage or ground potential to invert the polarity of the substrate crystal of the heat generating element 2 which is biased forward and the reverse bias element 3 which has a problem of floating capacity.

Consequently, the element 2 which generates large heat and the high-impedance optical element 3 can be mounted on the same optical waveguide substrate while aligned with the optical axis of the optical waveguide 1. Consequently, a hybrid circuit having various optical elements and electronic elements built in on an optical waveguide can be mounted at low cost.



---

**LEGAL STATUS**

[Date of request for examination] 08.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3147141

[Date of registration] 12.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-61676

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.<sup>6</sup>

G 02 B 6/42  
6/122  
H 01 L 27/15  
31/0232  
H 01 S 3/18

識別記号

府内整理番号

8832-4M

F I

G 02 B 6/42  
H 01 L 27/15  
H 01 S 3/18  
G 02 B 6/12  
H 01 L 31/02

技術表示箇所

B  
D

審査請求 未請求 請求項の数16 OL (全 7 頁) 最終頁に統く

(21)出願番号

特願平7-221433

(22)出願日

平成7年(1995)8月30日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(71)出願人 000233527

日立東部セミコンダクタ株式会社

埼玉県入間郡毛呂山町大字旭台15番地

(72)発明者 辻 伸二

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に統く

(54)【発明の名称】 光アセンブリ

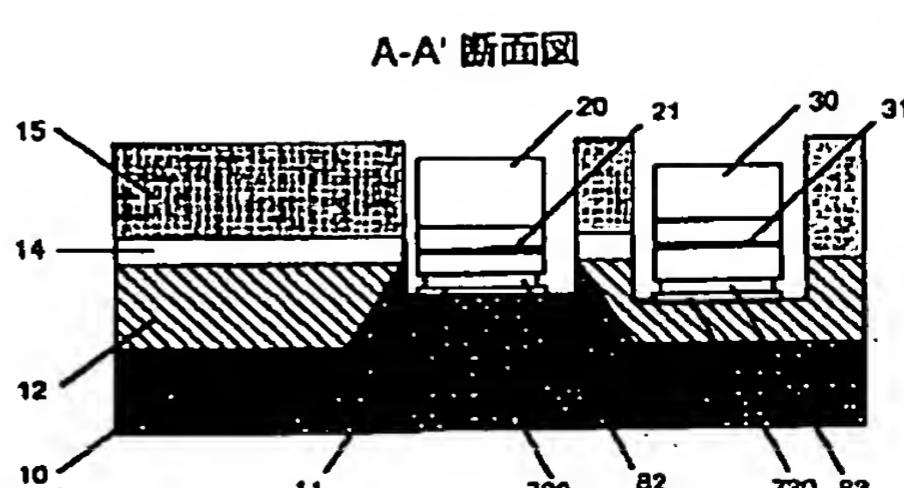
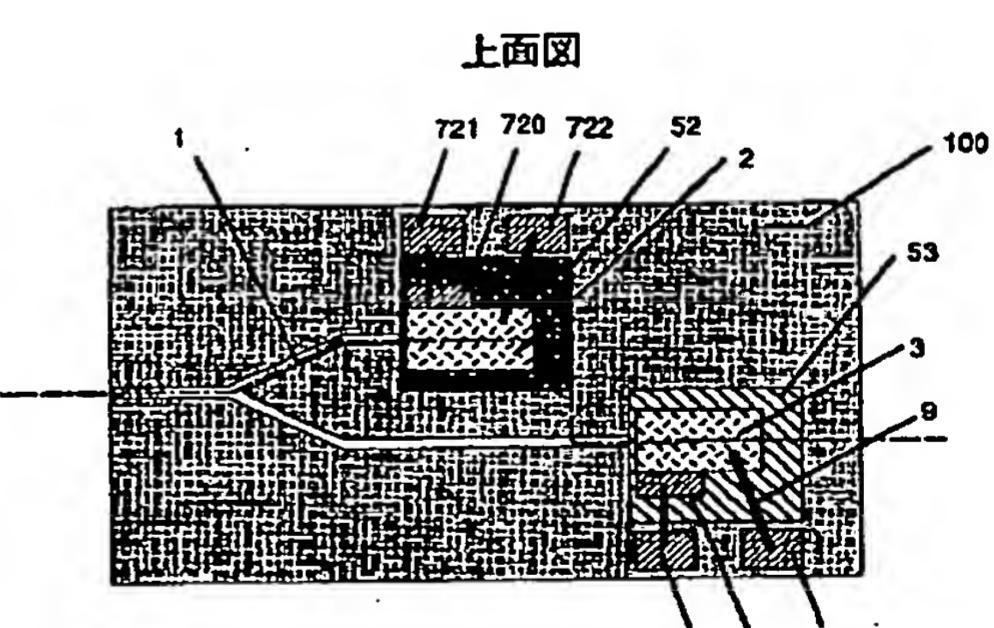
(57)【要約】 (修正有)

【課題】 発熱の大きな半導体素子と、高インピーダンスの光素子を同一の光導波路基板上に光学的に低損失になるように搭載した光アセンブリ構造を提供する。

【解決手段】 半導体基板10の凸部11上に直接、あるいはサブミクロン程度の厚さの絶縁体層を介して発熱の大きな素子2を接着させる。一方、高インピーダンスの光素子3は、それと結合される光導波路層と光軸が一致するように半導体基板の凹部上に形成した溝中に搭載する。あるいは、半導体基板10の電位を電源電圧、または接地電位として、順方向にバイアスされる発熱素子2と、浮遊容量が問題になる逆バイアス素子3の基板結晶の極性を反転させる。

【効果】 発熱の大きな素子と、高インピーダンスの光素子を、光導波路の光軸と一致させつつ、同一の光導波路基板上に搭載可能となる。その結果、光導波路上に種々の光素子、電気素子を組み込んだハイブリッド光回路が低コストで実装できる。

図2



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】凸部を有する半導体基板上に形成した、第1の誘電体層、第2の誘電体層、これらの誘電体層により挟まれ、かつその屈折率が前記の誘電体層よりも大きなコアにより構成された光導波路上に、少なくとも一つの半導体素子1と他の半導体光素子2が搭載されており、半導体素子1が基板凸部上に配置され、かつ半導体光素子2が基板凹部上の前記誘電体層を掘りこんだ溝内に配置されたことを特徴とする光アセンブリ。

【請求項2】凸部を有する半導体基板上に形成した、第1の誘電体層、第2の誘電体層、これらの誘電体層により挟まれ、かつその屈折率が前記の誘電体層よりも大きなコアにより構成された光導波路上に、少なくとも一つの半導体素子1と他の半導体光素子2が搭載されており、半導体素子1および半導体光素子2が基板凸部上に配置され、かつ半導体素子1と半導体光素子2の半導体基板の極性が異なることを特徴とする光アセンブリ。

【請求項3】半導体基板凸部上に絶縁膜が形成されたことを特徴とする請求項第2項の光アセンブリ。

【請求項4】半導体光素子2が光導波路構造を有しており、配置された光軸高さが±3ミクロン以内で半導体基板上の光導波路光軸高さと一致したことを特徴とする請求項1ないし3のいずれか一つに記載の光アセンブリ。

【請求項5】半導体光素子に印加する電圧が逆バイアスであることを特徴とする請求項1ないし4のいずれか一つに記載の光アセンブリ。

【請求項6】半導体光素子が受光作用を有することを特徴とする請求項1ないし5のいずれか一つに記載の光アセンブリ。

【請求項7】半導体基板が(100)±5°面方位のシリコンであることを特徴とする請求項1ないし6のいずれか一つに記載の光アセンブリ。

【請求項8】光導波路を構成する誘電体がシリコンの酸化物を主成分とすることを特徴とする請求項1ないし7のいずれか一つに記載の光アセンブリ。

【請求項9】半導体素子が光導波路構造よりなり、また発光作用を有し、その光軸高さが±3ミクロン以内で半導体基板上の光導波路光軸高さと一致したことを特徴とする請求項1ないし8のいずれか一つに記載の光アセンブリ。

【請求項10】発光素子に接続する光導波路と受光素子に接続する光導波路が光学的に結合したことを特徴とする請求項1ないし8のいずれか一つに記載の光アセンブリ。

【請求項11】少なくとも搭載した光半導体素子の搭載された溝が蓋により覆われたことを特徴とする請求項1ないし10のいずれか一つに記載の光アセンブリ。

【請求項12】少なくとも搭載した光半導体素子の搭載された溝の内、光通過経路が樹脂により埋めこまれたことを特徴とする請求項1ないし4のいずれか一つに記載

の光アセンブリ。

【請求項13】請求項1ないし12のいずれか一つに記載の光アセンブリを用いた光伝送モジュール。

【請求項14】半導体素子が増幅作用を有し、半導体光素子と電気的に接続されたことを特徴とする請求項1ないし12のいずれか一つに記載の光アセンブリ。

【請求項15】半導体光素子が逆バイアス素子のアレイで構成されたことを特徴とする請求項14に記載の光アセンブリ。

10 【請求項16】請求項14または15のいずれかに記載の光アセンブリを用いた光伝送モジュール。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、光加入者システム、局内交換システム、光インタコネクトシステムなどに適用する低コスト光モジュール構成に関する。

## 【0002】

【従来の技術】従来の技術は、第5回オプトエレクトロニクスコンファレンス(1994年7月)において、田淵ら(論文番号15B1-2)、山田ら(論文番号15B1-3)により報告されている。また1995年オプティカル・ファイバ・コミュニケーション・コンファレンスにおいて山田らの報告(論文番号PD12-2)がある。

【0003】従来技術の光アセンブリ構造を図1に示す。石英ガラス系の光導波路1を上面に形成したシリコン基板10上に共にn型基板の半導体レーザ2、導波路型受光素子3を搭載した構造である。光導波路1はシリコン基板10の凹部に石英ガラスよりなる下部クラッド層12を埋めこみ、この上に石英ガラスよりなる調整用クラッド13、前記下部クラッド層より屈折率の大きな光導波路コア14と石英ガラスよりなる上部クラッド層15が形成されている。半導体レーザ2および導波路型受光素子3はシリコン基板の凸部11上のガラスを選択的にエッチングして形成した素子搭載部5の電極720、730上、光導波路1の光入出力ポートに向かい合わせ固定されている。

【0004】光導波路1と光素子2、3とには低損失の光結合が求められており、光導波路コア14の光軸位置と搭載素子の光軸位置を面内方向で一致させるため、合わせマークを用いた精密位置制御、ソルダの表面張力を利用したセルフアライメントなどの手法が低コスト実装方式として提案されている。また、位置ずれの影響を少なくするため、搭載する光素子のスポットサイズをガラス光導波路のそれに近づけるなどの工夫がなされている。

## 【0005】

【発明が解決しようとする課題】本発明の目的は、発熱の大きな素子と、高インピーダンスの光素子を、光導波路の光軸と一致させつつ、同一の光導波路基板上に低コ

スト実装できるための光アセンブリ構造を提案することにある。

【0006】

【課題を解決するための手段】上記目的を達成するためには、半導体基板の凸部上に直接、あるいはサブミクロン程度の厚さの絶縁体層を介して発熱の大きな素子を接着させることにより、低熱抵抗の搭載が可能となる。この搭載素子が半導体レーザのような光素子で、光導波路との光軸を一致させる必要のある場合には、凸部上面とコア層中心位置間の相対距離が光素子の結晶厚みと電極、ソルダの厚みの和と一致するように制御して達成可能である。高インピーダンスの光素子は、半導体基板の凹部上に形成した光導波路層を光軸が一致する程度に掘りこんでこの溝中に搭載すれば、伝導体であるシリコン基板の電気的影響がほとんど無い状態での搭載が可能となる。

【0007】また、他の手法として、外部回路との接続形態を含めて、等価的に高インピーダンスの光素子の浮遊容量を低下することも可能である。すなわち、半導体基板の電位を電源電圧、あるいは接地電位として、搭載される2つ以上の素子の信号線を半導体基板に接近しないようにすれば良い。このためには、順方向にバイアスされる発熱素子と、浮遊容量の問題になる逆バイアス素子の極性を反転して搭載する構造とすることで実現できる。

【0008】以上により、発熱の大きな素子と高インピーダンスの光素子を、同一の光導波路基板上に光軸を一致させつつ低コスト実装することが可能となる。

【0009】

【実施例】

実施例1

本発明の実施例を図2に示す。上面に凸部を有するシリコン基板10に電子ビーム蒸着法を用いて、石英ガラスよりなる下部クラッド12を凸部の高さ(20~30μm)より十分高く形成させた。ここで、シリコンは凸部11の形状が対称となるよう、面方位(100)±5°以下を用いた。その後シリコンの凸部上面が完全に露出されるまで下部クラッドを研磨し、シリコン凸部11と下部クラッド12を平滑化した。その上にチタン、ゲルマニウムなどを添加した石英ガラスを電子ビーム蒸着により形成し、パタニングして光導波路コア14を形成した。次いで、無添加の石英ガラスを電子ビーム蒸着し、上部クラッド15を形成した。その後、シリコン凸部上面が露出するまで、部分的に上部クラッド15ならびに光導波路コア14をふつ素系のガスを用いてドライエッティングした。シリコン表面が露出したところで停止するため、過剰にエッティングしても問題はない。このドライエッティングはむしろ、第2の素子搭載部53となる凹部の深さが、ここに搭載する導波路形受光素子3の光軸31と光導波路コア14の光軸が一致する時点でエッティング

グを終了させた。エッティングレートは毎分0.1~1μm程度に制御できるため、時間管理で再現性良く深さ制御が可能となる。素子搭載部53の表面からシリコン基板10までの厚さを10ミクロン以上としたため、導波路形受光素子はシリコン基板10を介した浮遊容量の増加は0.02pF以下である。

【0010】次ぎに、第1の光素子搭載部52の光導波路コア14の光軸位置と半導体レーザ2の光軸位置が一致していないため、シリコンを選択的エッティングして第2の搭載部53に影響を及ぼすことなく第1の光素子搭載部52の高さのみ調整した。これにより、2つの素子搭載部52、53の光軸位置が独立して調整できた。次ぎに、素子搭載部52、53にチタン、白金、金よりなる電極層を電子ビーム蒸着法により形成し、素子電極形状に合わせてパタニングし、電極720、721、722、730、731、732を形成して光導波路基板10を得た。本実施例においては、光導波路1の表面形状をY字上として一端子を光の入出力ポート、分岐後の2端子を素子搭載部52上の半導体レーザ2、素子搭載部53上の導波路形受光素子3に接続するポートとした。なお、素子搭載のためのインデクスパタンは電極パタンと同時に形成した。また、搭載に用いた半導体レーザ2の結晶基板20、および導波路形受光素子3の結晶基板30は共にn型のInP結晶である。

【0011】次ぎに、電極720上にAuSn薄膜ソルダ82(厚さ1~6μm)を形成した半導体レーザ2を赤外線透過法を用いた、インデクスアライメント法を用いて搭載した。半導体レーザ2上に刻んだインデクスパタンと素子搭載部52のシリコン上面に刻んだインデクスパタンを同時に赤外線で透過させ、これらを赤外線TVカメラで観測することでパタン間の相対的な位置ずれを検知し、位置合わせした。位置合わせの後、加熱してソルダ52を溶融させ半導体レーザ2を固着した。次ぎに同様な方法で導波路形受光素子3を素子搭載部53に固着した。電極720、721間および半導体レーザ2、電極722間を金ワイヤ9で接続して半導体レーザ2の電気的接続を取った。また、電極730、731間および導波路形受光素子3、電極732間を金ワイヤ9で接続して半導体レーザ2の電気的接続を取った。

【0012】光アセンブリの試作後、入出力ポートにファイバを接続して光出力特性、感度特性を評価した。図3に3台分の光出力特性を示す。半導体レーザ2を駆動し、動作電流50mAでファイバ光出力1mWが得られた。搭載前の光出力特性と比較することにより、半導体レーザ2の搭載後の位置ずれ誤差が1μm以内に制御出来ることを確認できた。また、受光感度は0.31A/Wと十分な感度特性が得られた。導波路形受光素子3の位置ずれ誤差も1μm以内であった。また、半導体レーザの熱抵抗は~40°C/Wであり、十分な放熱特性を確保出来ることを確認した。受光素子の容量は実装分含めて、1pF以下で

あった。

#### 【0013】実施例2

本発明の実施例を図4に示す。上面に凸部を有するシリコン基板10に電子ビーム蒸着法を用いて、石英ガラスよりなる下部クラッド12を凸部11の高さ(20~30μm)より十分高く形成させた。ここで、シリコンは凸部の形状が対称となるよう、面方位(100)±5°以下を用いた。その後シリコンの凸部11上面が完全に露出されるまで下部クラッドを研磨し、シリコン凸部11と下部クラッド12を平滑化した。その上に石英ガラスよりなる調節用クラッド層13を堆積した後、チタン、ゲルマニウムなどを添加した石英ガラスを電子ビーム蒸着により形成し、パタニングして光導波路コア14を形成した。次いで、無添加の石英ガラスを電子ビーム蒸着し、上部クラッド15を形成した。その後、シリコン凸部11上面が露出するまで、部分的に上部クラッド15ならびに光導波路コア14をふつ素系のガスを用いてドライエッチした。シリコン表面が露出したところで停止するため、過剰にエッチングしても問題はない。なお、調整用クラッド層13は、光導波路コア14の光軸位置と半導体レーザ2および導波路形受光素子3の光軸位置21、31を一致させるために形成した。

【0014】次ぎに、素子搭載部52、53に厚さ0.5ミクロン以下のシリコン酸化膜16を形成した後、チタン、白金、金よりなる電極層を電子ビーム蒸着法により形成し、素子電極形状に合わせてパタニングし、光導波路基板を得た。なお、素子搭載のためのインデクスパタンは電極パタンと同時に形成した。なお、本実施例においても、光導波路コア3の表面形状をY字上として一端子を光の入出力ポート、分岐後の2端子を素子搭載部52上の半導体レーザ2、素子搭載部53上の導波路形受光素子3に接続するポートとした。

【0015】次ぎに、電極表面にAuSn薄膜ソルダ82(厚さ1~6μm)を形成した半導体レーザ2を赤外線透過法を用いた、インデクスアライメント法を用いて搭載した。半導体レーザ2上に刻んだインデクスパタンと素子搭載部52のシリコン上面に刻んだインデクスパタンを同時に赤外線で透過させ、これらを赤外線TVカメラで観測することでパタン間の相対的な位置ずれを検知し、位置合わせした。位置合わせの後、加熱してソルダを溶融させ半導体レーザ2を固着した。次ぎに同様な方法で導波路形受光素子3を素子搭載部53に固着した。素子搭載後、溝を覆うようにガラスよりなる蓋61を被せ、樹脂62で固定した。この蓋の適用により、ファイバ接続工程での素子破損が無くなり、安定した光アセンブリ試作が可能となった。

【0016】本実施例では実施例1と異なり半導体レーザ2にはn型のInP結晶、導波路形受光素子3にはp型のInP結晶を用いた。これにより、シリコン基板を電源電圧に共通化して、導波路形受光素子の信号線を結

晶基板側に配置でき、浮遊容量の増加分を0.3pF以下に押さえることができた。

【0017】光アセンブリ100の試作後、入出力ポートにファイバ104をガラスブロック103を用いて接続し、光出力特性、感度特性を評価し、実施例1と同様の特性を得た。そこで、図5に示すように、光アセンブリ100をレーザ駆動用IC105、ブリアンプIC106、と共にプリント基板101上に実装した。これを図5に示す。試作ボードを2台準備して対向させ、伝送特性を評価した。伝送速度は30Mb/s、伝送距離は5kmとしたところ、符号誤り率10の-9乗以下の伝送が可能であることが確認できた。

#### 【0018】実施例3

本発明の第3の実施例を図6に示す。ここでは、実施例2において、蓋を被せる代わりに、素子2および3を保護する目的で溝部にエポキシ系樹脂63を埋めこんだ構造とした。樹脂埋め込みにより、素子特性はほとんど劣化しなかった。本発明のモジュール11台を温度85°C、湿度90%の高温加湿炉内に放置して光出力特性、光感度特性の劣化を評価した。2000時間の試験経過後にはいずれも特性劣化がみられていない。一方、比較として樹脂埋め込みの無い場合には200~500時間経過時点では受光素子3の暗電流が急速に増加する結果となり、樹脂埋め込みの効果が確認された。

#### 【0019】実施例4

本発明の第4の実施例では、実施例3において、光導波路を石英ガラスからポリイミドに材料を代えた構造とした。クラッド層12、13、15にはフッ素置換ポリイミドを用い、コアとの屈折率差が1%となるようにして光導波路を形成した。光導波路1に有機材料を用いたため、スピンドルによる短時間での膜形成が可能となり、一層の低コスト化が容易であった。なお、埋め込む樹脂は実施例3と同様にエポキシ樹脂を用いた。

#### 【0020】実施例5

本発明の第5の実施例を図7に示す。導波路アレイ110に導波路形受光素子アレイ3が光学的に接続する構成とした。搭載に用いた光導波路基板の試作プロセスは実施例1と同様である。本実施例では、シリコン凸部上に形成した素子搭載部54に10チャネルのブリアンプICアレイ4を、シリコン凹部のガラス面を掘り込んで形成した素子搭載部52に10チャネルの導波路形受光素子アレイ3を搭載したブリアンプIC4は1Gb/s程度までの高速動作を行うため、Siバイポーラプロセスにより試作した。導波路形受光素子アレイ3は10チャネルのアレイよりなる光導波路コア14に接続する構造とした。本アセンブリに10チャネルのファイバを組み込み受光感度を測定したところ、0.85±0.02A/Wでチャネル間バラツキの小さな受光特性を示した。また、チャネル当たり毎秒200ビット、伝送距離100mでの受信特性評価にした。各チャネルとも数十時間以上エラーフリー動作

した。導波路型受光素子の適用により、電気配線面内と光の入射面の一致が容易であるため、簡易なモジュールが実現できた。

【0021】

【発明の効果】本発明によれば、発熱の大きな素子と、高インピーダンスの光素子を、光導波路の光軸と一致させつつ、同一の光導波路基板上に搭載可能となる。これにより、光導波路上に種々の光素子、電気素子を組み込んだハイブリッド光回路が低コストで実装できる。このため各家庭にまで光ファイバを配線してマルチメディア対応の大容量の通信が可能となる。また装置間の配線に光ファイバを導入することが可能となるため、並列演算処理の大規模化が容易に実現されるなどの効果がある。

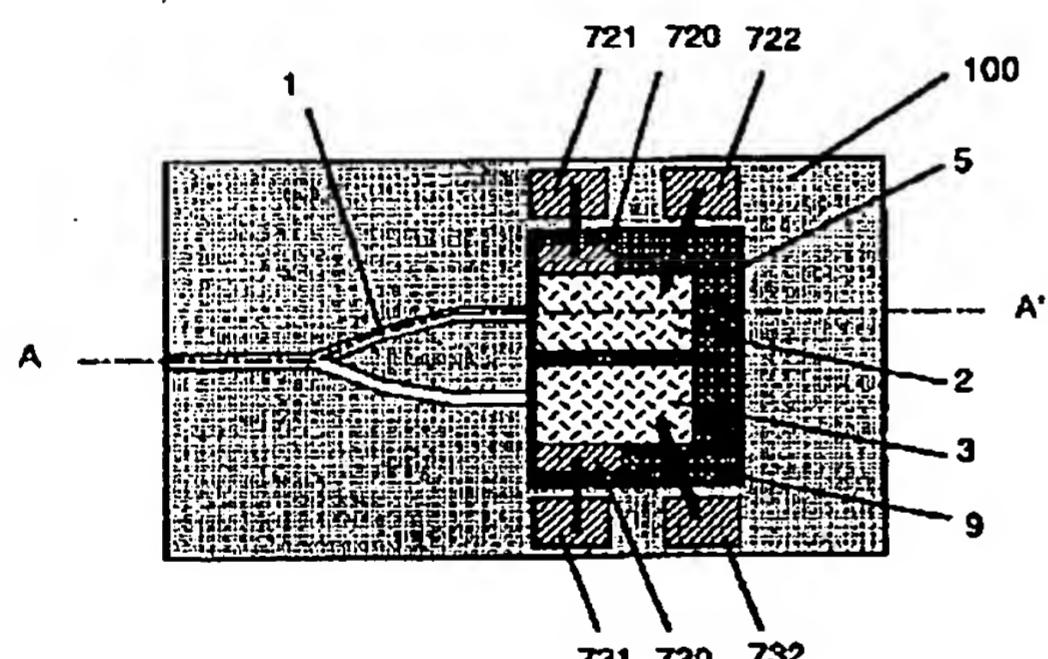
【図面の簡単な説明】

【図1】従来の光アッセンブリ構造を示す図である。  
【図2】本発明の第1、第4の実施例に関する構造を示す図である。  
【図3】第1の実施例に関する光出力特性を示す図である。

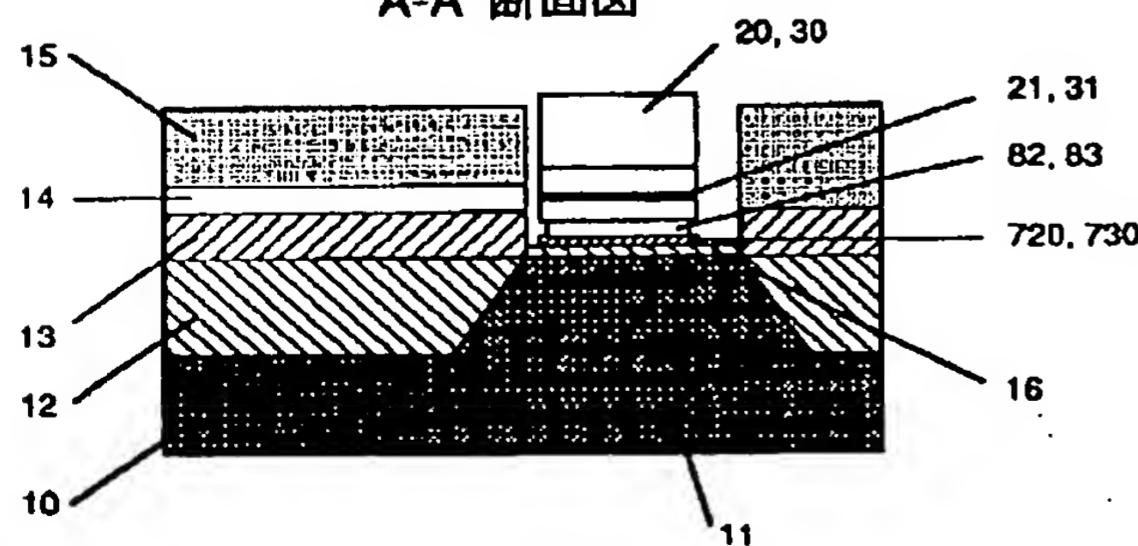
【図1】

図1

上面図



A-A' 断面図



【図4】本発明の第2の実施例に関する構造を示す図である。

【図5】本発明の第2の伝送ボードへの適用例を示す図である。

【図6】本発明の第3の実施例に関する構造を示す図である。

【図7】本発明の第5の実施例に関する構造を示す図である。

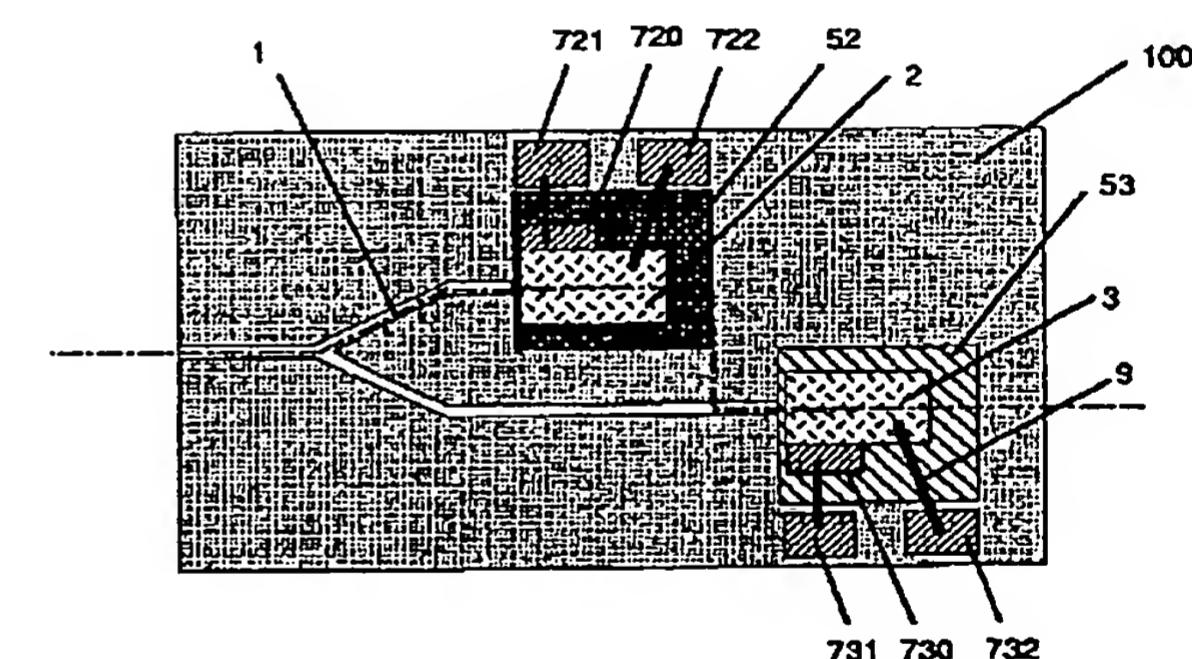
【符号の説明】

1…光導波路、10…半導体基板、12, 13, 15…クラッド層、14…光導波路コア、2…半導体レーザ、3…導波路形受光素子もしくは受光素子アレイ、4…ブリアンプIC、5, 52, 53…素子搭載部、61…蓋、62, 63…樹脂、720, 721, 722, 730, 731, 732, 740, 741, 742…電極、82, 83, 84…ソルダ、9…ワイヤ、10…半導体基板、12, 13, 15…クラッド層、14…光導波路コア。

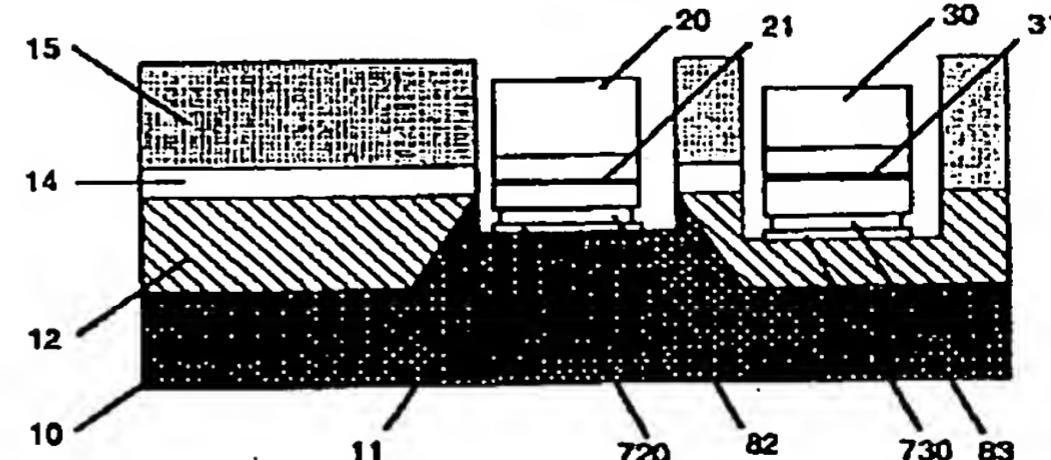
【図2】

図2

上面図

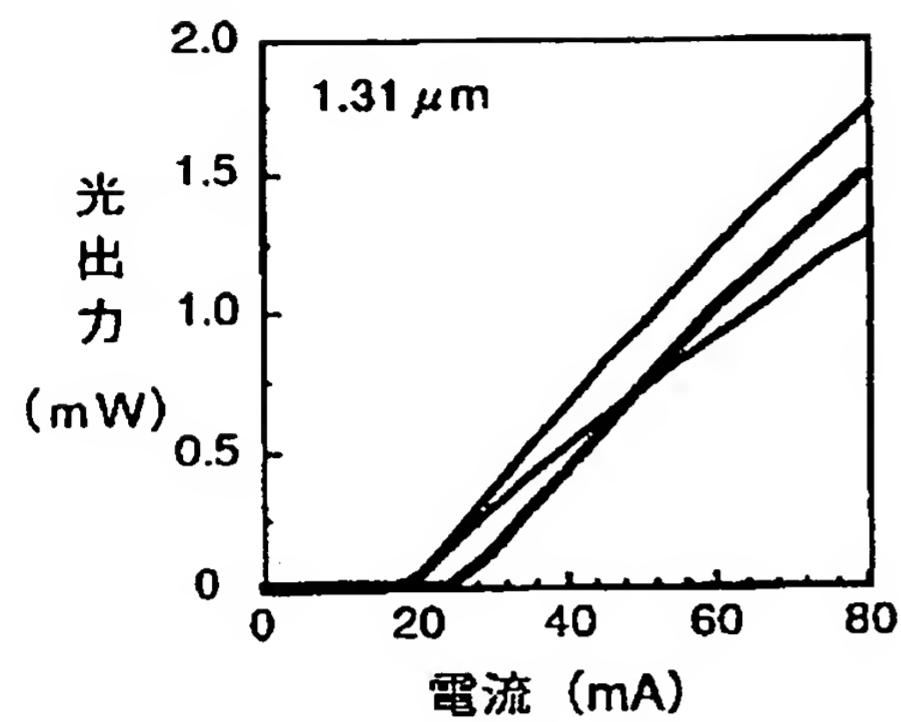


A-A' 断面図



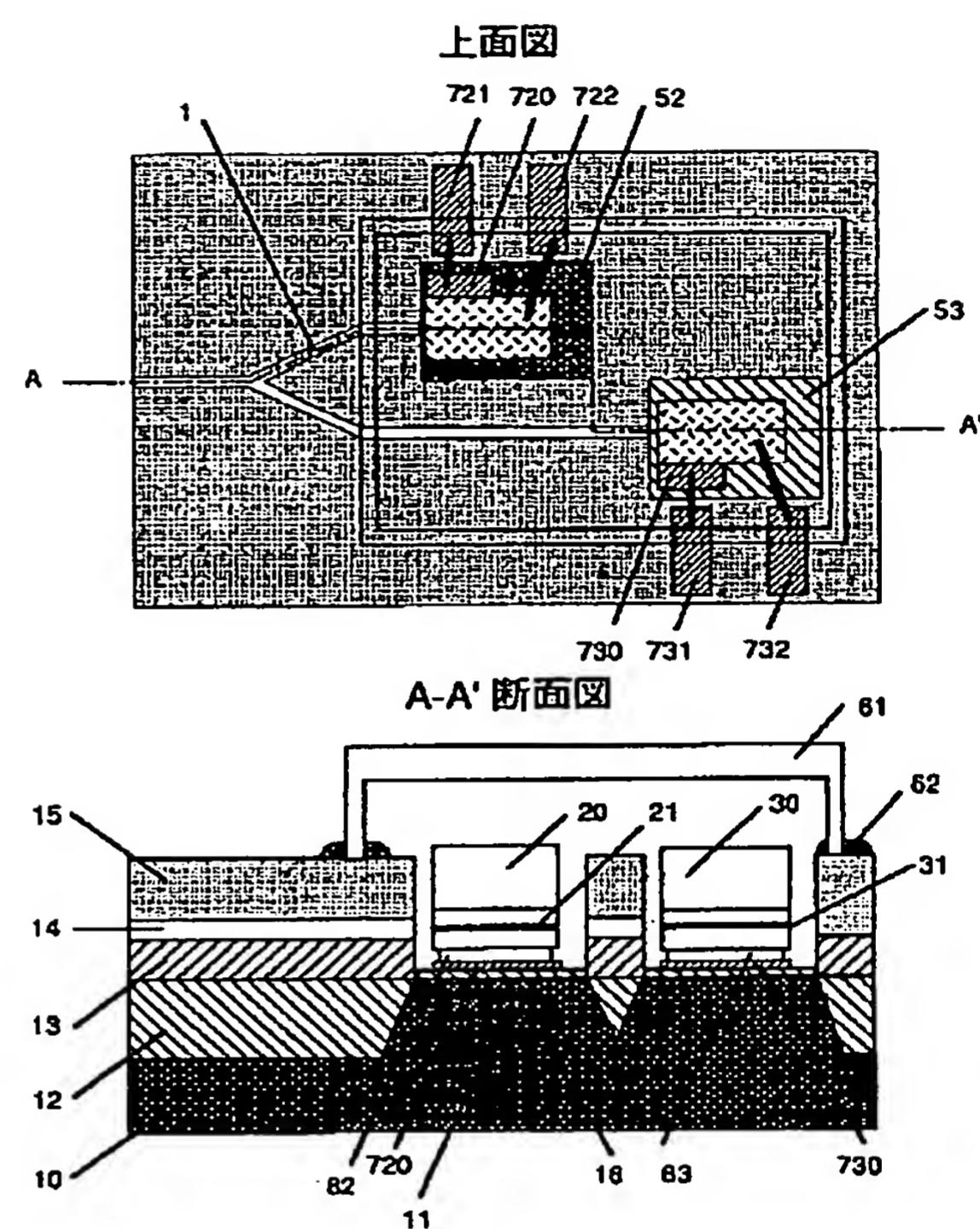
【図3】

図3



【図4】

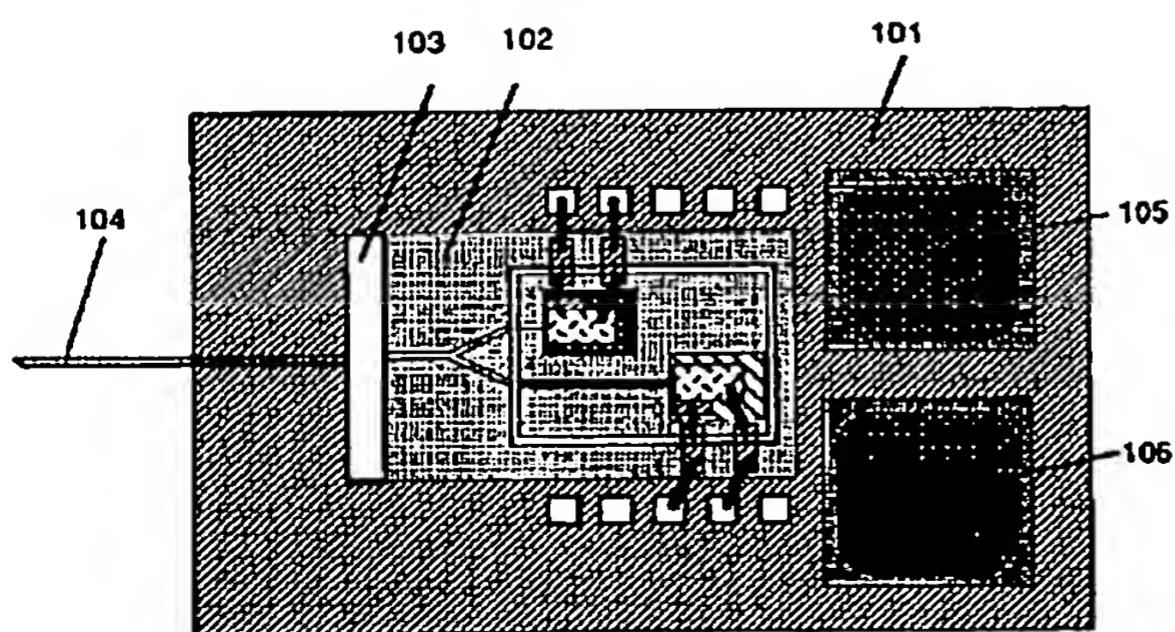
図4



BEST AVAILABLE COPY

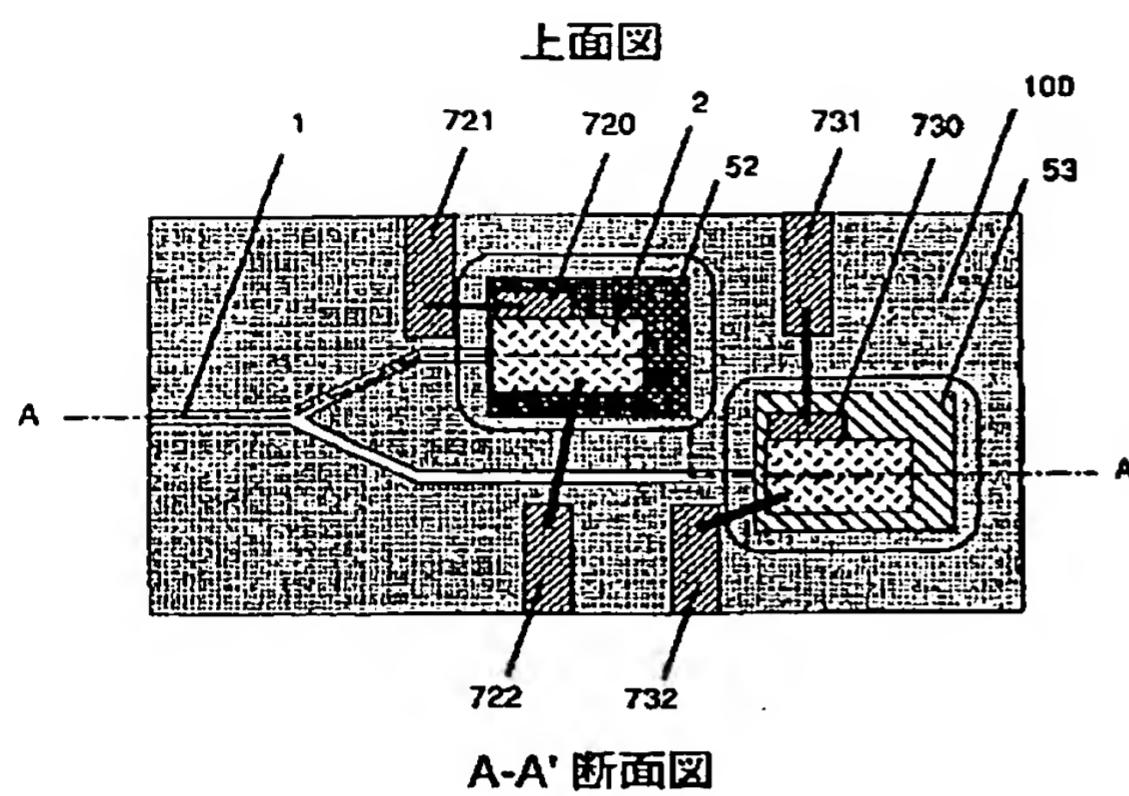
【図5】

図5



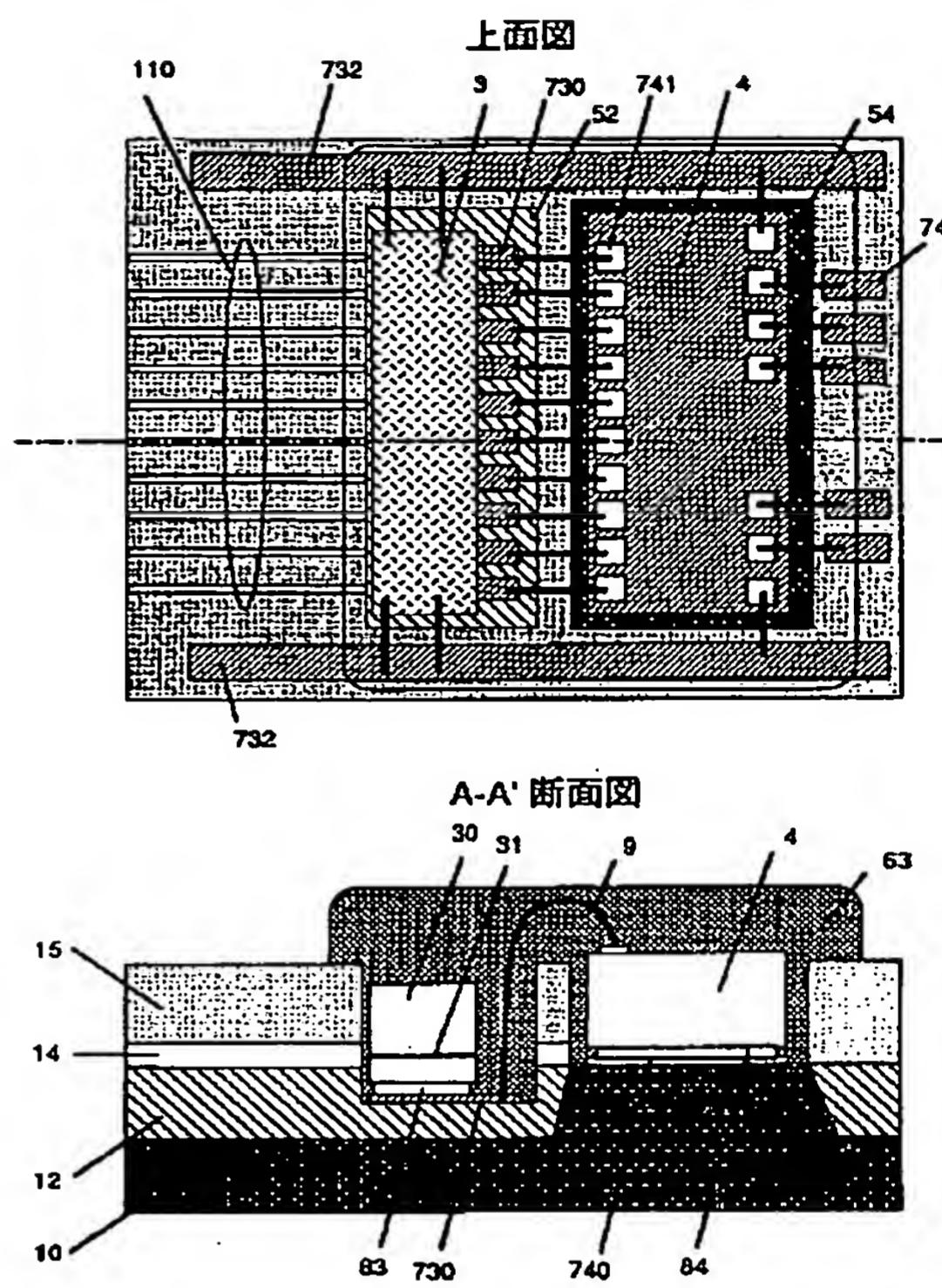
【図6】

図6



【図7】

図7



BEST AVAILABLE COPY

フロントページの続き

(51) Int. Cl. 6

H 04 B 10/28  
10/26  
10/14  
10/04  
10/06

識別記号

庁内整理番号

F I

H 04 B 9/00

技術表示箇所

Y

(72)発明者 高橋 龍太

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社オプトロシステム研究所内

(72)発明者 宮倉 正人

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 菊池 倖

埼玉県入間郡毛呂山町大字旭台15番地 日  
立東部セミコンダクタ株式会社内

(72)発明者 青木 聰

神奈川県横浜市戸塚区戸塚町216番地 株  
式会社日立製作所光技術開発推進本部内